

并行可编程 ICT 平台提升板上闪存及 FPGA 器件测试效率

上网时间：2004 年 02 月 29 日

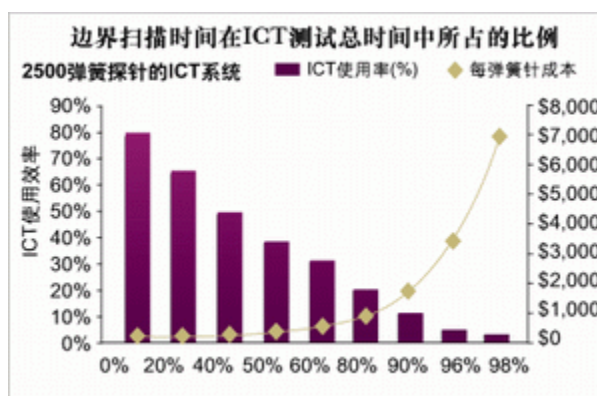
PCB 的生产周期越来越短，测试和配置时间却由于系统日益复杂而不断增加，并导致目前许多配置及测试方法都不再可行。为此，我们必须采取一种新的策略，在满足量产要求的同时避免固定设备的重复投资。

为了实现合理的量产，传统的 PCB 测试流程通常都从额外或在线闪存编程开始，随后进行自动 X 光检测(AXI)、自动光学检测(AOI)、在线测试(ICT)及功能性测试。这种情况下的 ICT 是一种全方位测试方法，它包括模拟元件测试、分立数字器件测试、边界扫描测试和通过边界扫描的在线编程。

为了实现这一目的，ICT 还附带有边界扫描控制器或在线编程设备。但在目前日益增长的带大容量闪存和带有复杂 FPGA 的 PCB 上，这种测试配置的测试效益不断下降。为此各种新技术不断涌现，PCB 生产中的测试流程也在改变，而并行可编程电路的 PCB 测试就是其中最新的尝试之一。

并行可编程 PCB 测试降低成本

Intellitech 在近期举办的世界测试年会上推出了 PT100 并行测试平台，该平台可执行基于标准 IEEE1149.1 边界扫描的并行测试，同时其闪存和其它非易失性存储器的板上编程速度可和板外编程速度匹配。PT100 已获得了一项美国专利，同时还在申请另外两项美国及世界专利。PT100 可对任意数量的 PCB 进行测试并完成板上编程以满足生产周期要求。该测试平台可进行扩展，并行测试时每个被测元件的平均测试成本不到 2,000 美元，所有测试均通过单一的电脑系统进行控制。



这一技术使得新的 PCB 测试流程可以去掉额外的闪存编程步骤，将 ICT 简化为模拟器件及低技术器件测试，并只需要极少量的弹簧针(Pogo Pin)。某些时候甚至只需要生产缺陷分析仪(MDA)或老式的 ICT 便可完成此项功能。它可并列执行边界扫描测试、系统编程、闪存编程及高端数字测试功能，尤其是那些与 FPGA 相关的功能。每个测试或配置步骤都经过优化，可满足规定的生产周期。

以在线边界扫描测试为例，90 年代初，使用边界扫描可减少 ICT 设备中的弹簧针。边界扫描被视为设计在数字集成电路中的“虚拟”弹簧针。到 1999 年，当 FPGA 和 CPLD 厂商在它们的器件中采用 IEEE1149.1 进行板上编程后，用 ICT 探针电路传递边界扫描串行数据的局限性便显而易见。大量的串行数据超出了 ICT 探针电路的内置存储量，需要进行多次数据装载，因而严重影响了测试时间。

有鉴于专业边界扫描厂商的成功，ICT 厂商也开始在 ICT 平台中集成专用的边界扫描硬件，企图节省一个“处理步骤”并集成边界扫描测试法。然而需要指出的是，并非所有类型的产品都适合在 ICT 平台中集成边界扫描测试。这种方法实际上会增加测试成本。ICT 的总投资可根据实际的引脚数来估算，以一个有 2,500 个弹簧针的 ICT 的使用效应为例，通常全功能 ICT 每引脚的成本为 120 美元，因此 2,500 脚的测试平台成本接近 30 万美元。如果这种测试平台只用于测试引脚不足 2,000 的 PCB，则使用率会降低到 80%。如果是这种情况，那么测试部门便“超购(overbuy)”了，他们实际上可采用成本

更低的测试平台来获得相同的测试效果。在这种情况下，每个弹簧针的实际成本为 150 美元，比 120 美元多出 25%。

在 ICT 中集成边界扫描测试时也可进行同样的分析。ICT 测试时间主要包括三部分：模拟测试、数字测试和边界扫描测试。本文中，“数字测试”指的是测试那些无法用边界扫描方法测试的有源数字元件。进行边界扫描测试时，按照可测试性设计原则(DFT)和边界扫描思路设计的电路板只需要 4 个弹簧针或专用边界扫描控制器。进行边界扫描测试时，多数 ICT 电路(而不是电源)保持闲置。用于边界扫描测试的时间越多，ICT 引脚电路也闲置得越久。如果将这些独立的测试技术组合在一起，那么随着边界扫描测试时间的增加，ICT 的使用率便会下降。

如果 ICT 测试总时间为 60 秒，并且其中一半时间用于边界扫描测试，那么就只使用了 40% 的 ICT 资源，从而使每引脚的成本升高到近 3,500 美元。这种情况下，在 ICT 中进行边界扫描测试无法充分利用 ICT 资源。思科公司的测试工程师称，在测试电信用 PCB 时，边界扫描测试时间超过 3 分钟(240 秒)，或者说使用了 98% 的 ICT 测试时间。这种情况下 ICT 使用率降到了 3% 以下。如此使用 ICT 资源无异于将一封电子邮件打印出来，然后通过运输机将它送给另一个城市的收件人。

并行测试策略并非取消现有的 ICT，而是更有效地利用这些资源。从目前需要测试的主板、DSP 板和电信用板的复杂程度来看，它们可使用边界扫描测试方法。客户表示，焊点多于 1 万个的 PCB 中只有 800 个焊点无法用边界扫描法进行测试。其中半数以上是因为集成电路的旁路电容引起的，它们最适合用 AOI 进行测试，而不是 ICT。AXI 和 AOI 等测试技术可有效地检测 BGA 的电源和接地连接，以及各种无源元件。

在线闪存编程缩短配置时间

对闪存及其它非易失性存储器进行编程是 PCB 装配和测试工艺的重要部分。现在的 PCB 中通常带有一个或多个非易失性存储器，需要在最终测试前进行配置。在 ICT 的使用初期，存储器非常小，完全可在 ICT 中进行编程。然而，现在的非易失性存储器可能需要一分钟来进行编程，因此会超出生产周期或“跟不上节奏”。

目前解决配置时间长的方法包括板外编程和在线闪存编程。每一种方法在成本和布局上都有所不足。如果在板外进行闪存编程，哪怕是在专门的编程室里进行也会出现库存管理、批量预测和产能缩水等隐性成本。如果过早编程，就无法在最后一刻更换固件；如果编程量太少，就必须将生产押后以便等待更多编程器件一起投产；编程过多又会增加各种编程所需的成本。

BP Microsystems 和 Data I/O 等厂商提供的闪存编程设备，可以在进行器件装配时同时对多个器件进行编程，只要有足够的编程设备，最大的闪存也能在规定的生产周期内完成编程。Data I/O 的“roadrunner”等在线编程设备可同时对 4 个闪存进行编程，并直接与贴片机接口。迄今为止，通过边界扫描对闪存编程的速度仍然太慢，所需时间通常是直接物理接入所需时间的 10-20 倍。不过新的测试系统集成了 Intellitech 的快速接入控制器专利技术，使板上编程速度与板下编程速度一样，有时甚至更快。

并行测试的成本实例分析

传统测试方法和并行测试所节约的设备成本比较							
生产线成本	在线编程仪	AXI	AOI	ICT	并行边界扫描	功能测试	总成本
传统 ICT	\$150K	\$300K	\$150K	\$300K+\$50K*	N/A	\$75K	\$1.025M
夹具/插槽	\$1500 x 4		\$15K	\$15K	N/A		\$21K
测试/编程时间	67s/4=17s	<30	<30	10A+4D+16B = 30s		60s/2 = 30s	
并行测试及配置	N/A	\$300K	\$150K	\$100K	\$60K	\$75K	\$685K
夹具/插槽	N/A			\$5K	\$5K		\$10K
测试/编程时间		<30	<30	10A+4D=14s	(57P+16B)/4 = 20s	60s/2 = 30s	
节省的费用	\$156K			\$260K	(\$65K)		\$351K

通过优化测试设备并将更多的测试和编程并行完成，可有效节省固定设备的成本投入。从下表可看出以 ICT 为传统的生产测试设备和基于 PT100 的生产测试设备在测试某种消费电子 PCB 时的不同成本。该 PCB 带有一个英特尔的 28F640W30，两个赛灵思的 XC95288XV CPLD(需要系统编程)，以及大量边界扫描和非边界扫描器件。目前最好的设备完成 28F640W30 编程需要 67 秒，而我们在这里选择了一台有四个插槽的在线编程仪。

从表中可看出，“生产节奏”为 30 秒，实际每器件测试时间为 17 秒，完成符合要求。由于 PCB 需要对 CPLD 进行边界扫描测试和系统编程，因此我们从第三方选择了一台集成了边界扫描控制器的 ICT。ICT 的测试时间包括以下部分：模拟器件(A, 10 秒)、分离数字器件测试(D, 4 秒)以及边界扫描测试(B, 16 秒)，总共为 $10A+4D+16B=30$ 秒。有趣的是，ICT 测试时间与生产线进行速度一样。如果生产线速度需要加快(例如生产周期缩短到 25 秒)，或者 ICT 中增添了新的测试功能从而延长了测试时间，那么就需要另花费 36.5 万美元增加另一台带有边界扫描控制器的 ICT。

从 PT100 的流程中可看出，它在固定设备成本上节约了 35.1 万美元。这一流程仅需要 400 引脚以下、成本低于 10 万美元的低端 ICT 以及成本不到 6.5 万美元的 PT100。PT100 可同时对四块 PCB 进行编程和边界扫描测试，共需 83 秒，满足 30 秒的生产周期。它只需要单台 PT100 测试台中的 8 个插槽来装载和卸载 PCB，同时对其它 PCB 进行测试。ICT 测试时间为 14 秒，PT100 测试时间为 20 秒，即使增加额外测试或加快生产周期也完全能满足要求。

另一个例子是带有 8 个相同电路的车用 PCB。为 128M 比特的闪存编程需要 96 秒，需要 4 台四插槽的在线编程仪才能在 96 秒内生产 16 块 IC。通过闪存编程调节生产线速度，每 48 秒装配一块 PCB。有趣的是，闪存编程设备厂商会将总的编程时间除以并行处理的器件数来计算每器件编程时间，但这种算法并不适用于车用 PCB，因为所有闪存都必须在 PCB 送入波峰焊炉之前组装完毕。这种 PCB 的 ICT 测试时间为：模拟测试 15 秒，离散数字器件测试 5 秒，边界扫描测试和配置 35 秒。ICT 的总时间为 45 秒。ICT 上的边界扫描控制器只能同时测试四个边界扫描电路。这样便增加了一个额外步骤，在进行 ICT 之间必须将 PCB 分为两份。此外，由于每份 PCB 的测试时间为 45 秒，为了满足生产周期，就必须增加一个带有边界扫描控制器的 ICT。

使用新的并行测试法可极大地减少设备开支。并行测试法在闪存编程设备和 ICT 上节省的投资多达 100 万美元。PT100 只需 24 个控制器便可同时测试和配置 3 种 PCB，每块 PCB 的生产时间为 43 秒。客户还可另外支付 2 万美元再购买 8 个 PT100 控制器，将每块 PCB 的产出时间提高到 32 秒。

作者：Intellitech 公司首席执行官 CJ Clark，首席技术官 Mike Ricchetti